

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-216245

(P2000-216245A)

(43) 公開日 平成12年8月4日 (2000.8.4)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 21/768		H 0 1 L 21/90	B 4 M 1 0 4
21/28		21/28	L 5 F 0 3.3
	3 0 1		3 0 1 T 5 F 0 4 0
29/78		21/90	D
21/336		29/78	3 0 1 Y
審査請求 有 請求項の数 7 O L (全 7 頁)			

(21) 出願番号 特願平11-14307

(22) 出願日 平成11年1月22日 (1999.1.22)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 井上 顕

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100070530

弁理士 畑 泰之

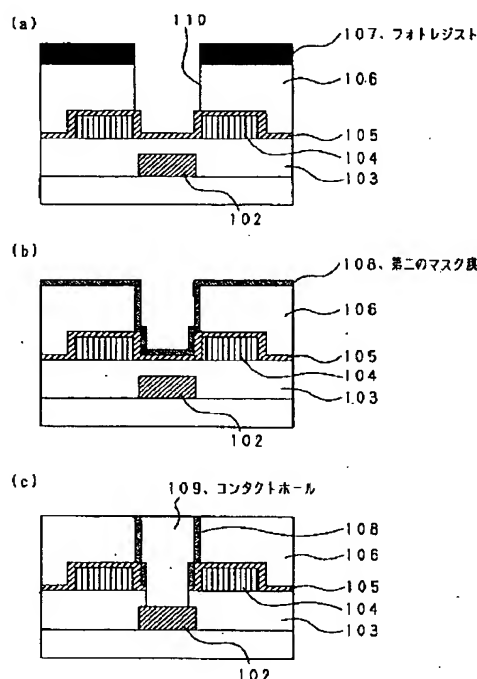
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】 電氣的に良好な微細なコンタクトの形成を可能にした半導体装置の製造方法を提供する。

【解決手段】 半導体基板上に下層配線102を形成する工程と、前記下層配線102上に層間膜103を形成する工程と、上層配線104を形成する工程と、前記上層配線104上に第1の絶縁膜105を形成する工程と、前記第1の絶縁膜105上に層間膜106を形成する工程と、隣接した前記上層配線104、104間の下側の前記下層配線102上部に形成され、前記第1の絶縁膜105に達するコンタクトホール110を開口する工程と、前記半導体基板上に第2の絶縁膜108を堆積する工程と、異方性エッチングにより前記第2の絶縁膜108と前記第1の絶縁膜105とを順次連続的にエッチバックして前記下層配線102に達するコンタクトホール109を開口する工程とを含むことを特徴とする。



1

【特許請求の範囲】

【請求項 1】 半導体基板上に選択的に形成される下層配線と、この下層配線上の層間膜上に形成した上層配線と、隣接した前記上層配線間に形成したコンタクトが前記下層配線に接続するようにした半導体装置の製造方法において、

前記半導体基板上に前記下層配線を形成する工程と、前記下層配線上に層間膜を形成する工程と、前記上層配線を形成する工程と、前記上層配線上に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜上に層間膜を形成する工程と、隣接した前記上層配線間の下側の前記下層配線上部に形成され、前記第 1 の絶縁膜に達するコンタクトホールを開口する工程と、前記半導体基板上に第 2 の絶縁膜を堆積する工程と、異方性エッチングにより前記第 2 の絶縁膜と前記第 1 の絶縁膜とを順次連続的にエッチバックして前記下層配線に達するコンタクトを開口する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項 2】 半導体基板上に形成されるゲートポリシリコン配線と、前記ゲートポリシリコン配線間に形成される拡散層と、この拡散層上のシリサイド層に接続されるコンタクトを備えた半導体装置の製造方法において、前記半導体基板上に前記ゲート電極および拡散層を形成する工程と、前記ゲートポリシリコン配線および拡散層上にシリサイド膜を形成する工程と、前記半導体基板上に第 1 の絶縁膜を堆積する工程と、前記第 1 の絶縁膜上に層間膜を形成する工程と、前記拡散層上部に形成され、前記第 1 の絶縁膜に達するコンタクトホールを開口する工程と、前記半導体基板上に第 2 の絶縁膜を堆積する工程と、異方性エッチングにより前記第 2 の絶縁膜と前記第 1 の絶縁膜を順次連続的にエッチバックして前記拡散層上のシリサイド層に達するコンタクトホールを開口する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項 3】 半導体基板上に選択的に形成されるゲート電極上に、このゲート電極に達するコンタクトを形成した半導体装置の製造方法において、前記半導体基板上に前記ゲート電極を形成する工程と、前記半導体基板上に第 1 の絶縁膜を堆積する工程と、前記第 1 の絶縁膜上に層間膜を形成する工程と、前記ゲート電極上部に形成され、前記第 1 の絶縁膜に達するコンタクトホールを開口する工程と、前記半導体基板上に第 2 の絶縁膜を堆積する工程と、異方性のエッチングにより前記第 2 の絶縁膜と前記第 1 の絶縁膜とを連続的にエッチバックして前記ゲート電極に達するコンタクトホールを開口する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項 4】 前記第 1 の絶縁膜は、シリコン窒化膜であることを特徴とする請求項 1 乃至 3 の何れかに記載の半導体装置の製造方法。

2

【請求項 5】 前記第 2 の絶縁膜は、シリコン酸化膜であることを特徴とする請求項 1 乃至 4 の何れかに記載の半導体装置の製造方法。

【請求項 6】 前記シリサイド層は、コバルトシリサイド (CoSi_2)、チタンシリサイド (TiSi_2)、ニッケルシリサイド (NiSi) であることを特徴とする請求項 2 乃至 5 の何れかに記載の半導体装置の製造方法。

【請求項 7】 前記ゲート電極は、タングステンシリサイド (WSi_x) / 多結晶シリコン、チタンシリサイド (TiSi_x) / 多結晶シリコン、タングステン (W) / 窒化チタン (TiN)、タングステン (W) / 窒化タングステン (WN_x)、タングステン (W) / 窒化チタン (TiN)、窒化タングステン (WN_x)、ポリシリコン (Poly-Si) の何れかで構成したことを特徴とする請求項 2 乃至 6 の何れかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に係わり、特に、電気的に良好な微細コンタクトの形成を可能にした半導体装置の製造方法に関する。

【0002】

【従来の技術】 従来のコンタクト形成プロセスを図 5、6 に示した縦断面図を参照して説明する。図 5 (a) に示されるようにシリコン基板 301 上に既知のフォトリソグラフィと選択酸化法によりフィールド酸化膜 302 を形成する。このフィールド酸化膜 302 に囲まれた活性領域に、順次、ゲート酸化膜 303、ゲートポリシリコンを成長する。次いで、既知の手法であるフォトリソグラフィ法とドライエッチング法により、ゲートポリシリコンをパターニングしてゲート電極 304 を形成する。次いで、ゲート電極 304 の側面にシリコン酸化膜から構成されるサイドウォール 305 を既知の CVD 技術とエッチング技術を用いて形成する。次に、フォトリソグラフィ法とイオン注入法により、拡散層 306 を形成する。次に、図 5 (b) に示されるように、拡散層 306 上のシリコン表面自然酸化膜を除去し、例えばチタンをスパッタ堆積する。次に、窒素雰囲気中で 700℃ 以下の RTA を行うことにより、シリコンと接触するチタンのみをシリサイド化し、C49 型構造のチタンシリサイドを形成する。次に、アンモニア水および過酸化水素水等の混合液などにより、選択的にウエットエッチングし、未反応チタンと窒化チタンのみを除去する。次いで、前述の RTA よりも高温 (800℃ 以上) の RTA を行い、前記の C49 型構造のチタンシリサイドよりも電気抵抗率の低い C54 型構造の第 1 のチタンシリサイド 307 を形成する。次に、図 5 (c) に示されるように酸化膜からなる層間膜を形成する。次いで、図 5 (d) に示されるように CMP 法やエッチバック法など

3

により層間膜の平坦化する。次いで、既知の方法であるフォトリソグラフィ法によりコンタクトの開口のためにレジストをパターニングして、ドライエッチング法により拡散層 306 に達するコンタクトを開口する。次いで、図 5 (e) に示されるように、フォトレジスト 310 を剥離する。ここで、図 5 (d)、図 5 (e) は、コンタクトサイズが大きい場合、図 6 (a)、図 6 (b) には、コンタクトサイズが小さい場合を示している。

【0003】しかし、デバイスの微細化、高集積化が進むにつれて、ゲート電極および拡散層寸法の微細化が進み、ゲート電極とゲート電極間のスペースの微細化が生じることで、電氣的に良好なコンタクト形成することが困難になってきている。図 5 (d)、(e) に示した従来技術においては、コンタクトを開口するためのフォトレジストの工程に問題が生じている。コンタクト抵抗の低減を目的として、コンタクトのサイズをゲート-ゲート間寸法に近いサイズで行うと、レジストのパターニングの位置がずれてしまった場合には、ゲート電極上にもコンタクトが開口してしまうことが生じる。このことは、コンタクトを介してゲート電極と拡散層が電氣的にショートしてしまう問題が生じる。また、このような問題が生じないようにコンタクトサイズを小さくパターニングしようとする、正確なサイズのレジストパターニングできないという問題が生じる。結果として、コンタクト抵抗が増大してしまい、良好な電気特性を実現することが困難であった。このため、コンタクト開口のためのレジストのパターニング時の位置ずれに対するコンタクトプロセスのマージンの拡大やゲート電極と拡散層が電氣的にショートすることなく、安定して低いコンタクト抵抗を有するプロセスの開発が望まれていた。

【0004】

【発明が解決しようとする課題】本発明の目的は、上記した従来技術の欠点を改良し、特に、電氣的に良好な微細なコンタクトの形成を可能にした新規な半導体装置の製造方法を提供するものである。

【0005】

【課題を解決するための手段】本発明は上記した目的を達成するため、基本的には、以下に記載されたような技術構成を採用するものである。即ち、本発明に係る半導体の製造方法の第 1 態様は、半導体基板上に選択的に形成される下層配線と、この下層配線上の層間膜上に形成した上層配線と、隣接した前記上層配線間に形成したコンタクトが前記下層配線に接続するようにした半導体装置の製造方法において、前記半導体基板上に前記下層配線を形成する工程と、前記下層配線上に層間膜を形成する工程と、前記上層配線を形成する工程と、前記上層配線の上に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜上に層間膜を形成する工程と、隣接した前記上層配線間の下側の前記下層配線上部に形成され、前記第 1 の絶縁膜に達するコンタクトホールを開口する工程と、前

4

記半導体基板上に第 2 の絶縁膜を堆積する工程と、異方性エッチングにより前記第 2 の絶縁膜と前記第 1 の絶縁膜とを順次連続的にエッチバックして前記下層配線に達するコンタクトを開口する工程と、を含むことを特徴とするものであり、又、第 2 の態様は、半導体基板上に形成されるゲートポリシリコン配線と、前記ゲートポリシリコン配線間に形成される拡散層と、この拡散層上のシリサイド層に接続されるコンタクトを備えた半導体装置の製造方法において、前記半導体基板上に前記ゲート電極および拡散層を形成する工程と、前記ゲートポリシリコン配線および拡散層上にシリサイド膜を形成する工程と、前記半導体基板上に第 1 の絶縁膜を堆積する工程と、前記第 1 の絶縁膜上に層間膜を形成する工程と、前記拡散層上部に形成され、前記第 1 の絶縁膜に達するコンタクトホールを開口する工程と、前記半導体基板上に第 2 の絶縁膜を堆積する工程と、異方性エッチングにより前記第 2 の絶縁膜と前記第 1 の絶縁膜を順次連続的にエッチバックして前記拡散層上のシリサイド層に達するコンタクトホールを開口する工程と、を含むことを特徴とするものであり、又、第 3 の態様は、半導体基板上に選択的に形成されるゲート電極上に、このゲート電極に達するコンタクトを形成した半導体装置の製造方法において、前記半導体基板上に前記ゲート電極を形成する工程と、前記半導体基板上に第 1 の絶縁膜を堆積する工程と、前記第 1 の絶縁膜上に層間膜を形成する工程と、前記ゲート電極上部に形成され、前記第 1 の絶縁膜に達するコンタクトホールを開口する工程と、前記半導体基板上に第 2 の絶縁膜を堆積する工程と、異方性のエッチングにより前記第 2 の絶縁膜と前記第 1 の絶縁膜とを連続的にエッチバックして前記ゲート電極に達するコンタクトホールを開口する工程と、を含むことを特徴とするものであり、又、第 4 の態様は、前記第 1 の絶縁膜は、シリコン窒化膜であることを特徴とするものであり、又、第 5 の態様は、前記第 2 の絶縁膜は、シリコン酸化膜であることを特徴とするものであり、又、第 6 の態様は、前記シリサイド層は、コバルトシリサイド (CoSi₂)、チタンシリサイド (TiSi₂)、ニッケルシリサイド (NiSi) であることを特徴とするものであり、又、第 7 の態様は、前記ゲート電極は、タングステンシリサイド (WSi_x) / 多結晶シリコン、チタンシリサイド (TiSi_x) / 多結晶シリコン、タングステン (W) / 窒化チタン (TiN)、タングステン (W) / 窒化タングステン (WN_x)、タングステン (W) / 窒化チタン (TiN)、窒化タングステン (WN_x)、ポリシリコン (Poly-Si) の何れかで構成したことを特徴とするものである。

【0006】

【発明の実施の形態】本発明に係る半導体装置の製造方法は、半導体基板上に選択的に形成される下層配線と、この下層配線上の層間膜上に形成した上層配線と、隣接

5

した前記上層配線間に形成したコンタクトが前記下層配線に接続するようにした半導体装置の製造方法において、前記半導体基板上に前記下層配線を形成する工程と、前記下層配線上に層間膜を形成する工程と、前記上層配線を形成する工程と、前記上層配線上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に層間膜を形成する工程と、隣接した前記上層配線間の下側の前記下層配線上部に形成され、前記第1の絶縁膜に達するコンタクトホールを開口する工程と、前記半導体基板上に第2の絶縁膜を堆積する工程と、異方性エッチングにより前記第2の絶縁膜と前記第1の絶縁膜とを順次連続的にエッチバックして前記下層配線に達するコンタクトを開口する工程と、を含むことを特徴とするものである。

【0007】このように、本発明は、層間膜にエッチングストッパーとして、第1の絶縁膜を形成することで、レジストのパターニング時のサイズを大きくすることが可能になり、又、レジスト剥離あとに、第2の絶縁膜を形成することで、レジストパターニング時の位置ずれに対するコンタクトプロセスのマージンが拡大でき、その結果、上層配線と下層配線とがコンタクトを介して電気的にショートすることなく、高い信頼性を有したコンタクト形成プロセスが可能となる。

【0008】

【実施例】本発明に係る半導体装置の製造方法の具体例を以下に図を用いて説明する。

（第1の具体例）図1及び図2は本発明の第1の具体例の製造方法の具体的構造を示す図であり、これらの図には、半導体基板上に選択的に形成される下層配線102と、この下層配線102上の層間膜103上に形成した上層配線104と、隣接した上層配線104、104間に形成したコンタクトが前記下層配線102に接続するようにした半導体装置の製造方法において、前記半導体基板上に前記下層配線102を形成する工程と、前記下層配線102上に層間膜103を形成する工程と、前記上層配線104を形成する工程と、前記上層配線104上に第1の絶縁膜105を形成する工程と、前記第1の絶縁膜105上に層間膜106を形成する工程と、隣接した前記上層配線104、104間の下側の前記下層配線102上部に形成され、前記第1の絶縁膜105に達するコンタクトホール110を開口する工程と、前記半導体基板上に第2の絶縁膜108を堆積する工程と、異方性エッチングにより前記第2の絶縁膜108と前記第1の絶縁膜105とを順次連続的にエッチバックして前記下層配線102に達するコンタクトホール109を開口する工程とを含む半導体装置の製造方法が示されている。

【0009】図1(a)に示すように、シリコン酸化膜101上に第1の配線として、例えば、ポリシリコンを堆積する。次いで、既知のフォトリソグラフィと異方性ドライエッチングにより、ポリシリコンをパターニ

6

ングする。次に、リンを注入エネルギー30keV、注入量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入を行う。次いで、窒素雰囲気中で1000℃ 10秒の熱処理を行って、第1の配線102を形成する。次いで、シリコン酸化膜からなる第1層間膜103を堆積し、既知の方法で第1層間膜の平坦化をおこなう。

【0010】次に、図1(b)に示すように、第2の配線として、例えば、窒化チタンを堆積する。次いで、既知のフォトリソグラフィと異方性ドライエッチングにより窒化チタンをパターニングして、第2の配線104を形成する。次に、図1(c)に示されるように第2の配線104上に第1のマスク膜105として、例えばシリコン窒化膜を形成する。次いで、第2の層間膜として、シリコン酸化膜からなる第2層間膜106を形成して、既知の方法で、第2層間膜106を平坦化する。

【0011】次に、図2(a)に示されるように、コンタクトのフォトリソグラフィを行う。異方性ドライエッチングにより第1のマスク膜105まで到達するコンタクトホール110を開口する。次に、図2(b)に示されるように、レジスト107を剥離した後、第2のマスク膜108として、例えば、シリコン酸化膜を堆積する。

【0012】次に、図2(c)に示されるように、ドライエッチングにより全面エッチバックを行って、コンタクト底部上の第2のマスク膜108をエッチング・除去する。その結果、コンタクトホール側壁のみ第2のマスク膜108が残ることとなる。次いで、コンタクト底部の第1のマスク膜105をドライエッチングにより全面エッチバックして、除去する。このドライエッチングは、前述の第2のマスク膜をドライエッチングする際に同時にエッチングしてもよい。この結果、上層配線と下層配線がコンタクトを介して電気的にショートすることなく、コンタクトを開口することが可能となる。その後は、通常のコンタクト埋設工程を行う。

【0013】（第2の具体例）図3及び図4は、本発明の第2の具体例の製造方法の具体的構造を示す図であり、以下にこの具体例を詳細に説明する。図3(a)に示されるように、シリコン基板201上に既知のフォトリソグラフィと選択酸化法によりフィールド酸化膜202を形成する。このフィールド酸化膜202に囲まれた活性領域に、順次、ゲート酸化膜203、ゲートポリシリコンを成長する。次いで、既知の手法であるフォトリソグラフィ法とドライエッチング法により、ゲートポリシリコンをパターニングしてゲート電極204を形成する。次いで、ゲート電極204の側面にシリコン酸化膜から構成されるサイドウォール205を既知のCVD技術とエッチング技術を用いて形成する。次に、フォトリソグラフィ法とイオン注入法により、拡散層206を形成する。

【0014】次に、図3(b)に示されるように、拡散

7

層 206 上のシリコン表面の自然酸化膜を除去し、例えばチタンをスパッタ堆積する。次に、窒素雰囲気中で 700℃ 以下の RTA 行うことにより、シリコンと接触するチタンのみをシリサイド化し、C49 型構造のチタンシリサイドを形成する。次に、アンモニア水および過酸化水素水等の混合液などにより、選択的にウエットエッチングし、未反応チタンと窒化チタンのみを除去する。次いで、前述の RTA よりも高温 (800℃ 以上) の RTA を行い、前記の C49 型構造のチタンシリサイドよりも電気抵抗率の低い C54 型構造の第 1 のチタンシリ

10 サイド 207 を形成する。

【0015】次に、図 3 (c) に示されるように、シリコン窒化膜 208 を全面に形成する。次いで、図 3

(d) に示されるように、例えばシリコン酸化膜からなる層間膜 209 を堆積して、CMP 法やエッチバック法などにより層間膜 209 の平坦化する。

【0016】次に、図 4 (a) に示されるように、既知の方法であるフォトリソグラフィ法によりコンタクトの開口のためにレジスト 210 をパターニングして、ドライエッチング法によりシリコン窒化膜 208 に達する

20 コンタクトホール 212 を開口する。次いで、図 4 (b) に示されるように、フォトレジスト 210 を剥離する。次いで、シリコン酸化膜 211 を全面に堆積する。

【0017】次いで、図 4 (c) に示されるように、異方性ドライエッチングにより、シリコン酸化膜 211 をエッチバックして除去する。次いで、異方性ドライエッチングにより、コンタクト底部のシリコン窒化膜 208 をエッチバックする。その後は、通常のコンタクト埋設工程を実行する。なお、図示していないが、ゲート電極に達するコンタクトを、半導体基板上に前記ゲート電極 204 を形成する工程と、前記半導体基板上に第 1 の絶縁膜 208 を堆積する工程と、前記第 1 の絶縁膜 208 上に層間膜 209 を形成する工程と、前記ゲート電極 204 上部に形成され、前記第 1 の絶縁膜 208 に達するコンタクトホールを開口する工程と、前記半導体基板上に第 2 の絶縁膜 211 を堆積する工程と、異方性エッチングにより前記第 2 の絶縁膜 211 と前記第 1 の絶縁膜 208 とを連続的にエッチバックして前記ゲート電極 204 に達するコンタクトを開口する工程とで、形成する

40 ように構成しても良い。

【0018】

【発明の効果】本発明に係る半導体装置の製造方法は上

8

述のように構成したので、コンタクト開口のためのレジストのパターニング時の位置ずれに対するコンタクトプロセスのマージンを拡大することができ、このため、上層配線と下層配線がコンタクトを介して電氣的にショートすることない高信頼性の高い半導体装置の実現が可能になる。

【図面の簡単な説明】

【図 1】本発明の第 1 の具体例を工程順に示した断面図である。

【図 2】図 1 の続きの工程を示した断面図である。

【図 3】本発明の第 2 の具体例を工程順に示した断面図である。

【図 4】図 3 の続きの工程を示した断面図である。

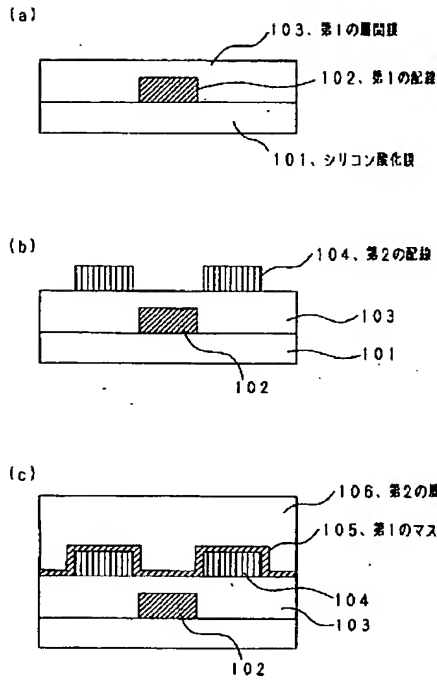
【図 5】従来例を工程順に示した断面図である。

【図 6】従来例の他の方法を示す断面図である。

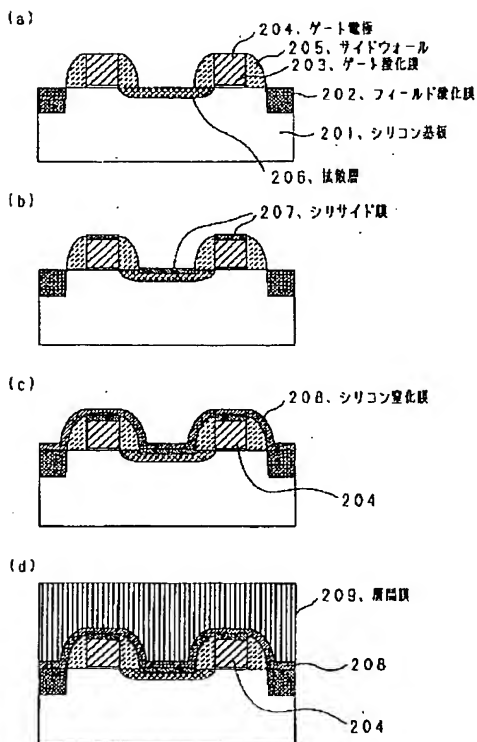
【符号の説明】

- 101 シリコン基板
- 102 第 1 の配線
- 103 第 1 の層間膜
- 104 第 2 の配線
- 105 第 1 のマスク膜
- 106 第 2 の層間膜
- 107 フォトレジスト
- 108 第 2 のマスク膜
- 109 コンタクトホール
- 201 シリコン基板
- 202 フィールド酸化膜
- 203 ゲート酸化膜
- 204 ゲート電極
- 205 サイドウォール
- 206 拡散層
- 207 シリサイド膜
- 208 シリコン窒化膜
- 209 層間膜
- 301 シリコン基板
- 302 フィールド酸化膜
- 303 ゲート酸化膜
- 304 ゲート電極
- 305 サイドウォール
- 306 拡散層
- 307 シリサイド膜
- 309 層間膜
- 310 フォトレジスト

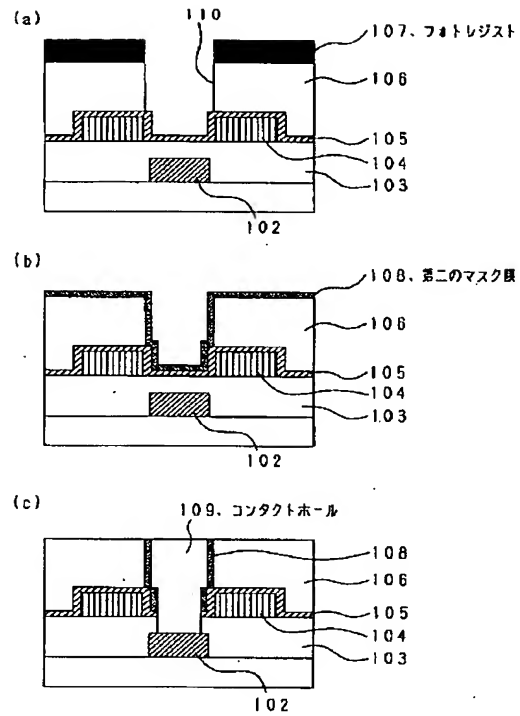
【図1】



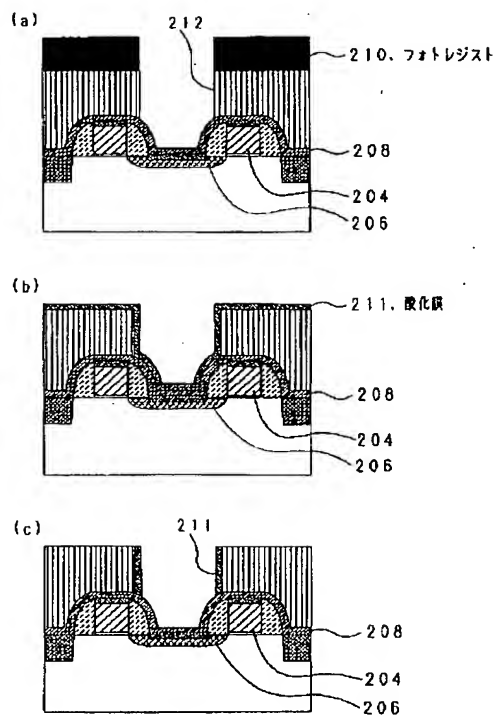
【図3】



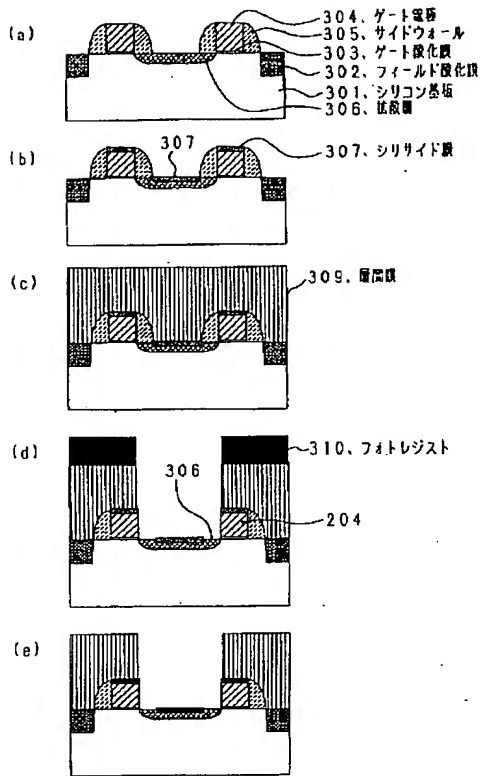
【図2】



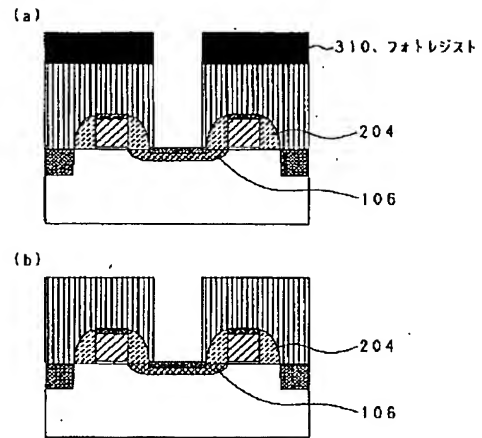
【図4】



【図5】



【図6】



フロントページの続き

Fターム(参考) 4M104 BB01 BB18 BB20 BB21 BB25
BB33 CC01 CC05 DD04 DD06
EE09 EE17 HH14
5F033 KK01 KK04 KK25 KK27 LL04
NN40 QQ09 QQ10 QQ16 QQ31
QQ37 QQ48 QQ59 QQ65 QQ70
QQ73 RR04 RR06 TT02 TT07
TT08 XX15
5F040 DA14 EC01 EC04 EC07 EC08
EC12 EC13 EH08 FA03 FA05
FA07 FC19 FC22